

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-143497**

(43)Date of publication of application : **25.05.2001**

(51)Int.CI.

G11C 29/00
G01R 31/28
G01R 31/3185
G11C 11/401
H01L 27/108
H01L 21/8242

(21)Application number : **11-326272**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **17.11.1999**

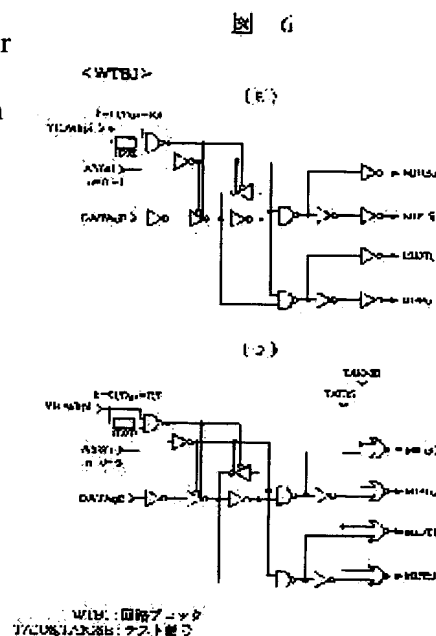
(72)Inventor : **ITO YUTAKA**

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory that optimum burn-in operation is performed to realize shortening of a process burn-in time and a selection test time by providing plural test modes improving access duty for a memory array system.

SOLUTION: This device is a SDRAM having two bank constitution, is provided with various test mode, for example, all IO line activation test modes, this test mode can be used for a main amplifier and the like, test signals TAIOS, TAIOSB are added to a circuit block WTB1, a main IO line and a local IO line are connected by test signal TAIOS = High, one side of the main IO line is fixed to LOW, the IO line is VDL-amplified in terms of DC, the other side of the main IO line is fixed to LOW, and the IO line is voltage-amplified in reverse direction, thereby, stress in terms of DC is applied to the local IO line and the main IO line.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-143497
(P2001-143497A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 F 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	B 5 B 0 2 4
31/3185			W 5 F 0 8 3
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 A 5 L 1 0 6
H 0 1 L 27/108		H 0 1 L 27/10	6 8 1 E 9 A 0 0 1
審査請求 未請求 請求項の数 8 O L (全 20 頁) 最終頁に続く			

(21)出願番号 特願平11-326272

(22)出願日 平成11年11月17日(1999.11.17)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 伊藤 豊

東京都青海市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

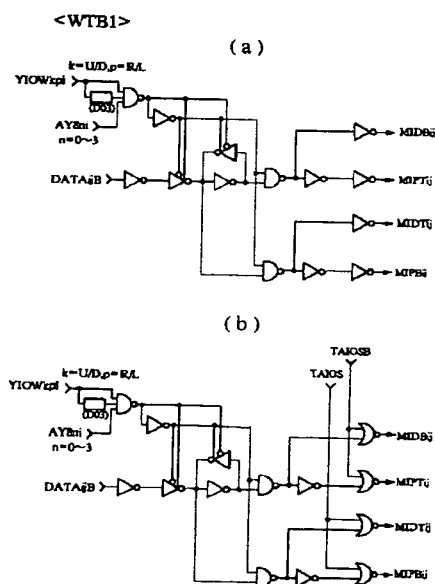
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 メモリアレイ系へのアクセスデューティを上げるテストモードを複数搭載することで、最適なバーンインオペレーションを行い、工程バーンイン時間の短縮、選別試験時間の短縮を実現できる半導体記憶装置を提供する。

【解決手段】 2バンク構成によるSDRAMであって、各種のテストモード、たとえば全IO線アクティベーションテストモードを搭載し、このテストモードはメインアンプなどにおいて可能となり、回路ブロックWTB1に対してはテスト信号TAIOS、TAIOSBが追加され、テスト信号TAIOS=HighによりメインIO線とローカルIO線を接続し、メインIO線の一方をLOW固定にしてIO線をDC的にV_{DL}振幅させ、テスト信号TAIOSB=Highにより他方のメインIO線をLOW固定にして逆向きに電圧振幅させることにより、ローカルIO線およびメインIO線にDC的ストレスをかける。

図 6



WTB1: 回路ブロック
TAIOS,TAIOSB: テスト信号

【特許請求の範囲】

【請求項1】 テスト信号の制御によりメモリアレイの濃縮アクセスを実現する回路を含み、ローカルIO線およびメインIO線にDC的に電圧ストレスをかける全IO線アクティベーションテストモードを有し、前記テスト信号により前記メインIO線と前記ローカルIO線とを接続し、前記メインIO線の一方をLOW固定にしてIO線をDC的に電圧振幅させ、前記テスト信号の反転信号により前記メインIO線の他方をLOW固定にしてIO線をDC的に逆向きに電圧振幅させ、テストモードの動作時に前記ローカルIO線および前記メインIO線にDC的ストレスをかけることを特徴とする半導体記憶装置。

【請求項2】 テスト信号の制御によりメモリアレイの濃縮アクセスを実現する回路を含み、選択されたYS線を活性化されたままとするYSデコードマルチセクションテストモードを有し、前記テスト信号により前記選択されたYS線を活性化されたままとして、テストモードの動作時に前記選択されたYS線間、または前記選択されたYS線と他線との間にDC的ストレスをかけることを特徴とする半導体記憶装置。

【請求項3】 テスト信号の制御によりメモリアレイの濃縮アクセスを実現する回路を含み、YS線間のストレスをDC的にかける全YS線ストライプテストモードを有し、前記テスト信号の第1信号により偶数のYS線をHigh、奇数のYS線をLowにして電圧をDC的にかけ、あるいは前記テスト信号の第2信号により偶数のYS線をLow、奇数のYS線をHighにして逆電圧をDC的にかけて、テストモードの動作時に前記YS線間にDC的ストレスをかけることを特徴とする半導体記憶装置。

【請求項4】 テスト信号の制御によりメモリアレイの濃縮アクセスを実現する回路を含み、全センスアンプを活性化することによって全ビット線を振幅させ、ビット線間にDC的ストレスをかけるビット線ストライプテストモードを有し、前記テスト信号によりセンスアンプ駆動信号を活性化してセンスアンプを駆動し、偶数のビット線をHigh、奇数のビット線をLow、あるいは偶数のビット線をLow、奇数のビット線をHighにして、テストモードの動作時に前記全センスアンプを活性化してビット線間にDC的ストレスをかけることを特徴とする半導体記憶装置。

【請求項5】 テスト信号の制御によりメモリアレイの濃縮アクセスを実現する回路を含み、メインワード線間にストレスを印加するメインワード線ストライプテストモードを有し、前記テスト信号の第1信号あるいは第2信号によりメインワード線を1本おきに活性化して、テストモードの動作時に前記メインワード線間にDC的ストレスをかけることを特徴とする半導体記憶装置。

【請求項6】 請求項1、2、3、4または5記載の半

導体記憶装置であって、前記全IO線アクティベーションテストモード、前記YSデコードマルチセクションテストモード、前記全YS線ストライプテストモード、前記ビット線ストライプテストモード、前記メインワード線ストライプテストモードを任意に組み合わせて実行することを特徴とする半導体記憶装置。

【請求項7】 請求項6記載の半導体記憶装置であって、前記全IO線アクティベーションテストモード、前記YSデコードマルチセクションテストモード、前記全YS線ストライプテストモード、前記ビット線ストライプテストモード、および前記メインワード線ストライプテストモードと、スタティック動作によりデューティ加速させるカラムスタティックテストモードと、全センスアンプを活性化して全ビット線を振幅させ、ビット線間にストレスをかける全マットアクティベーションテストモードと、活性化されたワード線を活性化されたままとし、ワード線間、メインワード線間、ワード線と他線との間にストレスをかけるワードデコードマルチセクションテストモードと、ワード線と他線との間にストレスをかける全ワード線アクティベーションテストモードと、ワード線を1本おきに活性化してストレスをかけるワード線ストライプテストモードと、1/8ワードを活性化してストレスをかける1/8ワードアクティベーションテストモードとを任意に組み合わせて実行することを特徴とする半導体記憶装置。

【請求項8】 請求項1、2、3、4、5、6または7記載の半導体記憶装置であって、前記半導体記憶装置はDRAMを含むことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置のテスト技術に関し、特にDRAMなどの後工程におけるコスト低減の検討において、工程バーンイン、選別試験の時間短縮に好適な半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、本発明者が検討した技術として、DRAMなどのバーンイン試験としては、高電圧でのノーマルオペレーションによる試験などが考えられる。この試験は、定格を越える電源電圧を印加し、デバイスに電流を流して電圧ストレスを加えることで、固有欠陥のある半導体デバイス、または製造上のばらつきから時間とストレスに依存する故障を起こすデバイスを除くためのスクリーニング試験である。

【0003】なお、このようなDRAMなどのバーンイン試験に関する技術としては、たとえば1994年11月5日、株式会社培風館発行の「アドバンスト エレクトロニクスI-9 超LSIメモリ」P299～P303に記載される技術などが挙げられる。

【0004】

【発明が解決しようとする課題】ところで、前記のようなDRAMなどのバーンイン試験の技術について、本発明者が検討した結果、以下のようなことが明らかとなった。たとえば、4kオペレーション品であれば、個々のメモセルへのアクセスデューティは1/4096しかないため、工程バーンイン、選別試験において以下のような事態に陥ることが考えられる。

【0005】(1).工程バーンインでは、DCストレスに比べて4096倍の試験時間を必要とし、多くの時間が費やされてしまう。

【0006】(2).選別試験では、縮約テストモードを使用することで、ライト／リード時間は短縮されるが、ディスターブ試験などによる個々のメモセルのチェック時間は、リフレッシュ規格とアクセスデューティで決まるために全く短縮されない。たとえば、64MbDRAMの場合、 $64\text{ms} \times 4096 = 4.4$ 分に達する。

【0007】従って、DRAMなどの後工程における工程バーンイン、選別試験では多くの時間が必要となり、特にこの時間の問題はメモリの大容量化が進むほど深刻になってきている。

【0008】そこで、本発明の目的は、メモセル、配線などのメモリアレイ系へのアクセスデューティを上げるテストモードを複数搭載することで、最適なバーンインオペレーションを行い、工程バーンイン時間の短縮、選別試験時間の短縮を実現することができる半導体記憶装置を提供するものである。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】本発明は、テスト信号の制御によりメモリアレイの濃縮アクセスを実現する回路を含み、メモセル、配線などのメモリアレイ系へのアクセスデューティを上げる複数のテストモードを搭載する半導体記憶装置に適用され、以下のような各種テストモードを有することを特徴とするものである。

【0012】すなわち、本発明による半導体記憶装置は、全IO線アクティベーションテストモードを有し、テスト信号によりメインIO線とローカルIO線とを接続し、メインIO線的一方をLOW固定にしてIO線をDC的に電圧振幅させ、テスト信号の反転信号によりメインIO線の他方をLOW固定にしてIO線をDC的に逆向きに電圧振幅させるものである。これにより、テストモードの動作時に、ローカルIO線およびメインIO線にDC的ストレスをかけることができる。

【0013】また、本発明による他の半導体記憶装置は、YSデコーダマルチセクションテストモードを有

し、テスト信号により選択されたYS線を活性化されたままとするものである。これにより、テストモードの動作時に、選択されたYS線間、または選択されたYS線と他線との間にDC的ストレスをかけることができる。

【0014】さらに、本発明による他の半導体記憶装置は、全YS線ストライプテストモードを有し、テスト信号の第1信号により偶数のYS線をHigh、奇数のYS線をLowにして電圧をDC的にかけ、あるいはテスト信号の第2信号により偶数のYS線をLow、奇数のYS線をHighにして逆電圧をDC的にかけるものである。これにより、テストモードの動作時に、YS線間にDC的ストレスをかけることができる。

【0015】また、本発明によるさらに他の半導体記憶装置は、ビット線ストライプテストモードを有し、テスト信号によりセンスアンプ駆動信号を活性化してセンスアンプを駆動し、偶数のビット線をHigh、奇数のビット線をLow、あるいは偶数のビット線をLow、奇数のビット線をHighにするものである。これにより、テストモードの動作時に、全センスアンプを活性化してビット線間にDC的ストレスをかけることができる。

【0016】さらに、本発明によるさらに他の半導体記憶装置は、メインワード線ストライプテストモードを有し、テスト信号の第1信号あるいは第2信号によりメインワード線を1本おきに活性化するものである。これにより、テストモードの動作時に、メインワード線間にDC的ストレスをかけることができる。

【0017】さらに、本発明による半導体記憶装置は、前記の5つのテストモードを任意に組み合わせて実行し、さらにこの5つのテストモードに加えて、スタティック動作によりデューティ加速させるカラムスタティックテストモード、全センスアンプを活性化して全ビット線を振幅させ、ビット線間にストレスをかける全マットアクティベーションテストモード、活性化されたワード線を活性化されたままとし、ワード線間、メインワード線間、ワード線と他線との間にストレスをかけるワードデコーダマルチセクションテストモード、ワード線と他線との間にストレスをかける全ワード線アクティベーションテストモード、ワード線を1本おきに活性化してストレスをかけるワード線ストライプテストモード、1/8ワードを活性化してストレスをかける1/8ワードアクティベーションテストモードを任意に組み合わせて実行するものである。これにより、大容量のDRAMなどを含む半導体記憶装置のテスト技術に良好に適用することができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。図1は本発明の一実施の形態である半導体記憶装置を示す概略レイアウト図、図2は本実施の形態の半導体記憶装置において、メモリアレ

イ領域を詳細に示す機能ブロック図、図3、図4はセンスアンプとメモリマットとの接続を示す回路図、図5～図19は各テストモードを説明するための回路図および波形図、図20～図22は各テストモードにおけるアクセスデューティを説明するための説明図である。

【0019】まず、図1により、本実施の形態の半導体記憶装置の構成の一例を説明する。本実施の形態の半導体記憶装置は、たとえば2バンク構成による64MbS (Synchronous) DRAMとされ、各メモリアレイバンクに対応したメモリアレイ領域1、2と、各メモリアレイ領域1、2に共通して配置されるインタフェース領域3などから構成され、周知の半導体製造技術によって1個の半導体チップ上に形成されている。

【0020】各メモリアレイ領域1、2には、詳細は後述するが、複数のメモリマットMAT、センスアンプSA、サブワードドライバSWD、クロスエリアCAなどが格子状に配置され、その行(ロウ)方向にワードデコーダWDを含むロウデコーダRDEC、列(カラム)方向に列選択線(YS)デコーダYDを含むカラムデコーダCDECが設けられている。この図1においては、垂直方向がロウ方向(ワード線WL方向)、水平方向がカラム方向(ビット線BL、YS線YS方向)である。

【0021】インタフェース領域3には、図示しない、ロウアドレスバッファ、カラムアドレスバッファ、プリデコーダ、タイミング発生回路、メインアンプ、データ入力回路、データ出力回路などが設けられている。

【0022】前記各メモリアレイ領域1、2は、たとえば図2に詳細に示すように、ロウ方向とカラム方向とに格子状に分割され、複数のメモリセルからなるメモリマットMATと、このメモリマットMATのカラム方向にメモリセルからの読み出しデータを検知・増幅するセンスアンプSA、ロウ方向にワード線を階層したサブワード線を駆動するサブワードドライバSWDがそれぞれ隣接して配置され、これが交差するクロスエリアCAにはセンスアンプSAを制御する制御回路、ローカル入出力(I/O)線LIOとメインI/O線MIOとを接続するスイッチング回路などが配置されている。

【0023】各メモリマットMATにおいて、メモリセルを選択する際には、メモリセルを選択するサブワード線SWLと、このサブワード線SWLと平行に配置されるメインワード線MWLと、このメインワード線MWLと直交して配置されるFX線FXとをそれぞれ、サブワードドライバSWD、メインワードドライバMWD、FXドライバFXDによって駆動することにより行われる。各メモリマットMATは、たとえばロウ方向に512本のワード線WLと8本の冗長ワード線RWL、カラム方向に256本のビット線BLと4本の冗長ビット線RBLがそれぞれ配置され、ワード線WL、冗長ワード線RWLとビット線BL、冗長ビット線RBLとの交点にはそれぞれメモリセルが配置されて構成されている。

【0024】各センスアンプSAは、隣接するメモリマットMATを分離するためのシェアドセンスアンプ分離回路、ビット線をプリチャージするためのビット線プリチャージ回路、ビット線の信号を検知・増幅するためのセンスアンプ回路、YS信号のゲート制御によりビット線とI/O線とを接続するためのYS回路などから構成されている。各センスアンプSAと各メモリマットMATとの接続は、たとえば図3に示すように、1つのセンスアンプSAで2つのメモリマットMATを共有し、さらに1本のYS線YSで2つのセンスアンプSAを共有する構成となっている。なお、R(Rambus)DRAMでは、たとえば図4に示すように、バンクを選択するための信号BSが追加され、このバンク選択信号BSにより前記図1の16バンクのうちの1つのバンクが選択されるような構成となっている。

【0025】また、図2～図4において、SHR(L)、SHR(R)はシェアドセンスアンプ分離回路のシェアドセンスアンプ分離信号線、BLEQはビット線プリチャージ回路のビット線プリチャージ信号線、VBLRはビット線プリチャージ電圧、SDP、SDNはセンスアンプ回路のセンスアンプ駆動線、SAP1、SAP2、SANはセンスアンプ充放電信号線をそれぞれ示す。

【0026】次に、本実施の形態の作用について、図5～図19により、工程バーンイン、選別試験における、全I/O線アクティベーション、YSデコーダマルチセレクション、全YS線ストライプ、カラムスタティック、全マットアクティベーション(ビット線ストライプ)、ワードデコーダマルチセレクション、全ワード線アクティベーション、メインワード線ストライプの各テストモードを順に説明する。

【0027】(1).全I/O線アクティベーションテストモード

この全I/O線アクティベーションテストモードは、ローカルI/O線およびメインI/O線にDC的に電圧ストレスをかけるモードである。通常動作では、パルス駆動(たとえば約3ns幅しかしない)のため、ストレスがかかりにくい。これをテストモードにおいてDC的ストレスをかけて解消することができる。

【0028】このテストモードは、たとえば図5～図7に示すような、メインアンプ(回路ブロックDMIP、DMAB、WTB1、BLEQ)などにおいて可能となる。回路ブロックDMIPは、図5のように従来と同様の構成からなり、2系統のメインI/O線からの信号MIOBij(MIOBU/D)、MIOTij(MIOTU/D)などを入力として、2系統の信号MIOBij、MIOTijなどを生成する。回路ブロックDMABも、従来と同様の構成からなり、回路ブロックDMIPからの信号MIOBij、MIOTij、回路ブロックWTB1からの信号MIDBij、MIPTij、M

IDTij, MIPBijや、信号MATRipB, MAPCipB, MAQEip, MAEip, TPARAIOなどを入力として、信号NMAQijB, TMAQijTなどを生成する。

【0029】回路ブロックWTB1に対しては、図6のようにテスト信号TAIOS, TAIOSBが追加され、これに伴って出力段の論理回路が変更になっている。すなわち、回路ブロックWTB1は、信号YIOWkpi, AY8ni, DATAijBなどを入力として、信号MIDBij, MIPTij, MIDTij, MIPBijなどを生成する従来の構成(図6(a))におけるインバータが本実施の形態(図6(b))ではNORゲートに変更され、前段のゲートからの信号とテスト信号TAIOS, TAIOSBとが論理演算される。

【0030】回路ブロックBLEQに対しても、図7のようにテスト信号TAIOS, TAIOSBが追加され、これに伴って出力段の論理回路が変更になっている。すなわち、回路ブロックBLEQは、信号MSMNBi, MSMNBj, QSMNBi, QSMNBj, TRCPなどを入力として、信号PREBLEQMHPなどを生成する従来の構成(図7(a))におけるインバータが本実施の形態(図7(b))ではNANDゲートに変更され、さらにNORゲートが追加されて、前段のゲートからの信号とテスト信号TAIOS, TAIOSBとが論理演算される。

【0031】以上のような回路構成において、全IO線アクティベーションテストモードの動作は以下のようになる。スタンバイ状態では、メインIO線、ローカルIO線はプリチャージされており、VDL電位である。そして、テスト信号TAIOS=Highにより、全BLEQ=Highになり、メインIO線とローカルIO線を接続する。さらに、メインIO線の一方がLOW固定になり、IO線がDC的にVDL振幅する。テスト信号TAIOSB=Highにより、もう一方のメインIO線がLOW固定になり、逆向きの電圧振幅をする。これにより、テストモードの動作時にローカルIO線およびメインIO線にDC的ストレスをかけることができる。

【0032】(2). YSデコーダマルチセクションテストモード

このYSデコーダマルチセクションテストモードは、選択されたYS線は活性化されたままとするモードである。YS線の選択に従い、YS線間のストレス、または全YS線=Highによる他線とのストレスをDC的にかけることができる。オペレーションの仕方では他ケースにも対応可能である。

【0033】このテストモードは、たとえば図8に示すような、YSデコーダ(回路ブロックYDECN)などにおいて可能となる。回路ブロックYDECNは、テスト信号TMYSが追加され、これに伴って出力段の論理回路が変更になっている。すなわち、回路ブロックYD

ECNは、信号AYipqなどを入力として、信号YSipqなどを生成する従来の構成(図8(a))におけるインバータが本実施の形態(図8(b))ではクロックドインバータに変更され、さらにラッチ回路が追加されて、前段のゲートからの信号とテスト信号TMYSとが論理演算される。

【0034】以上のような回路構成において、YSデコーダマルチセクションテストモードの動作は以下のようになる。テスト信号TMTS=LOWにより、選択されたYS線は活性化されたままとなる。これにより、テストモードの動作時に、選択されたYS線間、またはYS線と他線との間にDC的ストレスをかけることができる。

【0035】(3). 全YS線ストライブテストモード
この全YS線ストライブテストモードは、YS線間のストレスをDC的にかけるモードである。オペレーションなしに、パッド印加による実施も可能である。

【0036】このテストモードは、たとえば図9に示すような、YSデコーダ(回路ブロックYDECN)などにおいて可能となる。回路ブロックYDECNは、テスト信号TAYSSSE, TAYSSOが追加され、これに伴って出力段の論理回路が変更になっている。すなわち、回路ブロックYDECNは、信号AYipqなどを入力として、信号YSipqなどを生成する従来の構成(図9(a))におけるインバータが本実施の形態(図9(b))ではクロックドインバータに変更され、さらにPMOSTランジスタが追加されて、前段のゲートからの信号とテスト信号TAYSSSE, TAYSSOとが論理演算される。

【0037】以上のような回路構成において、全YS線ストライブテストモードの動作は以下のようになる。テスト信号TAYSSSE=LOWにより、偶数のYS線=High、奇数のYS線=Lowにして電圧をDC的にかけ、あるいはテスト信号TAYSSO=LOWにより、偶数のYS線=Low、奇数のYS線=Highにしてその逆電圧をDC的にかけられる。これにより、テストモードの動作時に、YS線間にDC的ストレスをかけることができる。

【0038】(4). カラムスタティックテストモード
このカラムスタティックテストモードは、通常、YS線はパルス駆動であるためにストレスがかかりにくい、スタティック動作することにより、デューティ加速させることができるモードである。

【0039】このテストモードは、たとえば図10(a)は例1、(b)は例2、(c)は例2のディレイ回路DELAYに示すような、YSデコーダ(回路ブロックYDECN)などにおいて可能となる。回路ブロックYDECNは、テスト信号TCOLMが追加され、これに伴って論理回路の構成が変更になっている。すなわち、回路ブロックYDECNは、信号Y-ADDRESS

S, YCLK, RSTなどを入力として、信号YSなどを生成するような構成において、前段のゲートからの信号とテスト信号TCOLMとが論理演算される。

【0040】以上のような回路構成において、カラムスタティックテストモードの動作は以下になる。通常の動作状態では、図11(a)のようにYS線がパルス駆動する。これに対して、テストモードの動作時は、テスト信号TCOLM=HIGHにより、スタティック動作させることで、図11(b)のようにYS線に電圧をDC的にかけ、YS'線にはその逆電圧をDC的にかけられる。これにより、テストモードの動作時に、スタティック動作することによってデューティ加速させることができる。

【0041】(5).全マットアクティベーションテストモード(ビット線ストライプテストモード)

この全マットアクティベーションテストモードは、全センスアンプを活性化することにより、全ビット線を振幅させ、ビット線間にDC的ストレスをかけるモードである。

【0042】このテストモードは、たとえば図12に示すような、センスアンプの駆動回路(回路ブロックACDCONT2)などにおいて可能となる。回路ブロックACDCONT2は、テスト信号TALLMTが追加され、これに伴って論理回路の構成が変更になっている。すなわち、回路ブロックACDCONT2は、信号TRCP, TSALK, MSmBi, MSnBi, SAE2Bi, SAENBi, SAE1Bi, DLYINpi, DLYINqなどを入力として、信号BLEQqi, SAP2qi, SAP1qiなどを生成するような構成において、前段のゲートからの信号とテスト信号TALLMTとが論理演算される。

【0043】以上のような回路構成において、全マットアクティベーションテストモードの動作は以下になる。テスト信号TALLMT=Lowにより、信号BLEQqi, SAP2qi, SAP1qiが活性化する。よって、センスアンプが駆動する。これにより、テストモードの動作時に、全センスアンプを活性化してビット線間にDC的ストレスをかけることができる。

【0044】なお、この全マットアクティベーションテストモードにおいては、偶数のビット線=High、奇数のビット線=Low、あるいは偶数のビット線=Low、奇数のビット線=Highにして、ビット線ストライプテストモードとして動作させることも可能である。

【0045】(6).ワードデコーダマルチセレクションテストモード

このワードデコーダマルチセレクションテストモードは、活性化されたワード線を、活性化されたままとするモードである。オペレーションの仕方により、ワード線間、メインワード線間のストレス印加、全ワード線=Highによる他線とのストレス印加を可能とすることが

できる。

【0046】このテストモードは、たとえば図13～図17に示すような、ワードデコーダ(回路ブロックAXDM00, AXDM06, AXDMORや、回路ブロックACDCONT1, RADX0, RADX3, RADX6)などにおいて可能となる。回路ブロックAXDM00, AXDM06, AXDMORは、図13のように従来と同様の構成からなり、信号AX30i～AX37i, AX60i～AX67i, XDGBmi, WPHM Wmi, WPHBmi, RREniなどを入力として、信号MWL0B～MWL63B, RMWLBなどを生成するメインワードドライバである。

【0047】回路ブロックACDCONT1は、図14のようにテスト信号T18Wが追加され、これに伴って論理回路の構成が変更になっているFXドライバである。すなわち、回路ブロックACDCONT1は、信号AX00i～YTAX07i, WPHFXmi, XDGBmi, MS(m-1)Bi, MS(m+1)Bi, MSmBi, R1ACBi, WPHBmi, MSmBi, R2ACBiなどを入力として、信号FX0B～FX7B, SHRLoi, SHRRoi, XDGBmi, WPHBmi, WPHFXmi, WPHMWmiなどを生成するような構成において、前段のゲートからの信号とテスト信号T18Wとが論理演算される。

【0048】回路ブロックRADX0は、図15のようにテスト信号T18Wが追加され、これに伴って論理回路の構成が変更になっているサブワードドライバである。すなわち、回路ブロックRADX0は、信号BX0Ti, BX0Bi, BX1Ti, BX1Bi, BX2Ti, XREi, XRS0i, XRS1i, BX2Bi, XRS2i, XRS3iなどを入力として、信号AX00iB～AX07iBなどを生成するような構成において、前段のゲートからの信号とテスト信号T18Wとが論理演算される。

【0049】回路ブロックRADX3は、図16のようにテスト信号T18Wが追加され、これに伴って論理回路の構成が変更になっているサブワードドライバである。すなわち、回路ブロックRADX3は、信号BX3Ti, BX3Bi, BX4Ti, BX4Bi, BX5Ti, BX5Biなどを入力として、信号AX30iB～AX37iBなどを生成するような構成において、前段のゲートからの信号とテスト信号T18Wとが論理演算される。

【0050】回路ブロックRADX6は、図17のようにテスト信号T18Wが追加され、これに伴って論理回路の構成が変更になっているサブワードドライバである。すなわち、回路ブロックRADX6は、信号BX6Ti, BX6Bi, BX7Ti, BX7Bi, BX8Ti, BX8Bi, XDEiなどを入力として、信号AX60iB～AX67iBなどを生成するような構成にお

いて、前段のゲートからの信号とテスト信号T18Wとが論理演算される。

【0051】以上のような回路構成において、ワードデコーダマルチセレクションテストモードの動作は以下になる。テスト信号T18W=Lowにより、ワード線の活性化のみ可能となる。これにより、テストモードの動作時に、活性化されたワード線は活性化されたままとなり、ワード線間、メインワード線間、ワード線と他線との間にDC的ストレスをかけることができる。

【0052】(7).全ワード線アクティベーションテストモード

この全ワード線アクティベーションテストモードは、全ワード線=Highとし、ワード線と他線とのストレス印加を可能とするモードである。

【0053】このテストモードは、たとえば図18に示すような、ワードデコーダ(回路ブロックRDX0)などにおいて可能となる。回路ブロックRDX0は、テスト信号TAWが追加され、これに伴って論理回路の構成が変更になっている。すなわち、回路ブロックRDX0は、信号BX0Ti, BX0Bi, BX1Ti, BX1Bi, BX2Ti, BX2Biなどを入力として、信号AX00iB~AX07iBなどを生成する従来の構成(図18(a))に本実施の形態(図18(b))ではPMOSTランジスタが追加されて、前段のゲートからの信号とテスト信号TAWとが論理演算される。

【0054】以上のような回路構成において、全ワード線アクティベーションテストモードの動作は以下になる。テスト信号TAWの活性化により、ワード線の活性化が可能となる。これにより、テストモードの動作時に、ワード線と他線との間にDC的ストレスをかけることができる。

【0055】(8).メインワード線ストライプテストモード

このメインワード線ストライプテストモードは、メインワード線間のストレス印加を可能とするモードである。

【0056】このテストモードは、たとえば図19に示すような、ワードデコーダ(回路ブロックXADX3)などにおいて可能となる。回路ブロックXADX3は、テスト信号TAMWSE, TAMWSOが追加され、これに伴って論理回路の構成が変更になっている。すなわち、回路ブロックXADX3は、信号BX3Ti, BX3Bi, BX4Ti, BX4Bi, BX5Ti, BX5Bi, TALLWDi, TSN, T18Dなどを入力として、信号AX30iB~AX37iBなどを生成する従来の構成(図19(a))におけるインバータが本実施の形態(図19(b))ではNORゲートに変更され、さらにNORゲートが追加されてゲート接続が変更され、前段のゲートからの信号とテスト信号TAMWSE, TAMWSOとが論理演算される。

【0057】以上のような回路構成において、メインワ

ード線ストライプテストモードの動作は以下になる。テスト信号TAMWSEあるいはテスト信号TAMWSO=Lowにより、メインワード線が1本おきに活性化される。これにより、テストモードの動作時に、メインワード線間にDC的ストレスをかけることができる。

【0058】次に、図20~図22により、以上の全IO線アクティベーション、YSデコーダマルチセレクション、全YS線ストライプ、カラムスタティック、全マットアクティベーション、ビット線ストライプ、ワードデコーダマルチセレクション、全ワード線アクティベーション、メインワード線ストライプの各テストモードにおけるアクセスデューティについて説明する。ここでは、ワード線を1本おきに活性化するワード線ストライプ、1/8ワードを活性化する1/8ワードアクティベーションについても示す。

【0059】図20において、段落を空けて列記したテストモードは、その上のテストモードで行うことができるのでこのテストモードに含まれ、たとえば全ワード線アクティベーションはワードデコーダマルチセレクションに含まれてしまうが、1コマンドあるいはDCスイッチ(パッドにHIGH印加など)でエントリできる。特にウェハバーンイン向きという特徴がある。また、IOはIO線、YSはYS線、BLはビット線、MWLはメインワード線、SWLはサブワード線、toxはメモリセルのトランスファMOSのゲート酸化膜をそれぞれ示す。

【0060】図20に示すように、効率よくデューティ加速が可能となるのは、全IO線アクティベーションではIO線、YSデコーダマルチセレクション(全YS線ストライプ、カラムスタティック)ではYS線、全マットアクティベーション(ビット線ストライプ)ではビット線、ワードデコーダマルチセレクションではメインワード線、サブワード線およびメモリセルのトランスファMOSのゲート酸化膜、全ワード線アクティベーションではメモリセルのトランスファMOSのゲート酸化膜、メインワード線ストライプではメインワード線、ワード線ストライプではサブワード線である。

【0061】また、前記に比べて効率は落ちるが、デューティ加速が可能となるのは、YSデコーダマルチセレクション(全YS線ストライプ、カラムスタティック)ではIO線、メインワード線ストライプではメモリセルのトランスファMOSのゲート酸化膜、ワード線ストライプではメモリセルのトランスファMOSのゲート酸化膜、1/8ワードアクティベーションではメインワード線、サブワード線およびメモリセルのトランスファMOSのゲート酸化膜である。

【0062】続いて、一例として、メモリセルのストレージノードへのストレス加速について説明する。メモリセルのストレージノードは、スタンバイ状態ではフロー

ティングであるため、ストレスをかけるには、そのビットにアクセスをするしかない。しかし、通常オペレーションでストレスをかけようとすると、たとえば64Mb SDRAM (4バンク構成) の場合、X-ADDRESS空間は0~16383もあるため、1/16384と低い値になってしまう。

【0063】ここで、図20の全マットアクティベーション(ビット線ストライプ)のテストモードと、ワードデコードマルチセレクション、全ワード線アクティベーション、メインワード線ストライプのテストモードを同時に実行することで、この問題は解消できる。たとえば、ビット線ストライプと全ワード線アクティベーションを実行すれば、ビット線間、メモリセルのトランスファMOSのゲート酸化膜、ビット線-サブワード線間だけでなく、メモリセルのストレージノードへDC的にデータが書き込まれた状態になり、ストレスデューティ加速が可能になる。通常オペレーションの1638倍のデューティ加速になる。さらに、全YS線ストライプを併用すれば、YS線間のストレス加速も同時に実現することができる。

【0064】図21、図22は、ビット線ストライプと全ワード線アクティベーションの併用時における、メモリセルのストレージノードへのストレス加速を示す。黒丸は1データ、白丸は0データを表す。図21において、1データと0データ間でストレス印加されることになる。一見、横方向(Y)にしかストレス印加できず、片手落ちの印象を持つかもしれないが、現実に縦方向(X)の不良は無視できるほど少ないため、これだけでも十分な効果がある。また、全ワード線アクティベーションへエントリ後、カラム方向にバーデータライトを行えば、縦方向へのストレス状態を作ることはい可能である。

【0065】続いて、一例として、ディスタープ試験(選別試験)について説明する。ディスタープ試験とは、全ビットにデータライト後、ワード線を1本毎に活性化し、その時間をリフレッシュ規格の64ms間行っていく、それが終わったら全データをリードする試験である。つまり、64Mb SDRAMの場合、16384本分、さらにデータ裏表について行うので、試験時間はオンスペックで $64\text{ms} \times 16384 \times 2 = \text{約}35\text{分}$ と膨大な時間になってしまう。特に、大容量化に伴い試験時間が増大し、最もやっかいな試験時間の典型例である。

【0066】そこで、前記のメモリセルのストレージノードへのストレス加速と同じ原理で、時間短縮が可能である。前記図21のデータを書いた後、ワード線ストライプとビット線ストライプへエントリすれば、50%のメモリセルのストレージノードへ同時にディスタープ状態を作り出すことができる。残り50%のメモリセルのストレージノードへの試験、逆データの場合を合わせ

て、試験時間は

$$64\text{ms} \times 2 \times 2 = 256\text{ms}$$

となり、1/8192の時間短縮を実現することができる。

【0067】従って、本実施の形態によれば、メモリセル、配線などのメモリアレイ系へのアクセスデューティを上げるテストモードとして、全IO線アクティベーション、YSデコードマルチセレクション、全YS線ストライプ、カラムスタティック、全マットアクティベーション(ビット線ストライプ)、ワードデコードマルチセレクション、全ワード線アクティベーション、メインワード線ストライプ、ワード線ストライプ、1/8ワードアクティベーションなどの各テストモードを複数搭載し、IO線、YS線、ビット線、メインワード線、サブワード線、メモリセルのトランスファMOSのゲート酸化膜などのメモリアレイの構成要素毎に組み合わせることで、最適なバーンインオペレーションを行い、工程バーンイン時間を短縮し、さらに選別試験時間を短縮することができる。

【0068】すなわち、以上の各種テストモードの1つではメモリアレイアクセス全てのデューティを上げることはできないが、2つや3つなど、複数同時に搭載することで、アクセスデューティを上げることができる。これは、後工程のスループットの向上につながり、効率の良いテストを実行することができる。

【0069】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0070】たとえば、前記実施の形態においては、64Mb SDRAMについて説明したが、R(Rambus) DRAM、SL(Synk-Link) DRAM、VCMなどの他、フラッシュメモリなどのメモリ製品全般に広く適用可能である。特に、64Mbの他、256Mbなどの大容量化の半導体記憶装置に良好に適用することができる。

【0071】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0072】(1). テスト信号の制御によりメモリアレイの濃縮アクセスを実現する回路を含み、メモリセル、配線などのメモリアレイ系へのアクセスデューティを上げる各種テストモードを複数搭載し、組み合わせることで、最適なバーンインオペレーションを行うことができるので、工程バーンイン時間の短縮、選別試験時間の短縮を実現することが可能となる。

【0073】(2). 前記(1)により、後工程のスループットが上がるため、後工程の原価を低減することができる。

ので、DRAMなどの半導体記憶装置、特に大容量の半導体記憶装置の収益確保を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体記憶装置を示す概略レイアウト図である。

【図2】本発明の一実施の形態において、メモリアレイ領域を詳細に示す機能ブロック図である。

【図3】本発明の一実施の形態において、センスアンプとメモリマットとの接続を示す回路図(SDRAM)である。

【図4】本発明の一実施の形態において、センスアンプとメモリマットとの接続を示す回路図(RDRAM)である。

【図5】本発明の一実施の形態において、全IO線アクティベーションテストモードを説明するための回路図(DMIP, DMAB)である。

【図6】(a), (b) は本発明の一実施の形態において、全IO線アクティベーションテストモードを説明するための回路図(WTB1)である。

【図7】(a), (b) は本発明の一実施の形態において、全IO線アクティベーションテストモードを説明するための回路図(BLEQ)である。

【図8】(a), (b) は本発明の一実施の形態において、YSデコードマルチセレクションテストモードを説明するための回路図(YDECN)である。

【図9】(a), (b) は本発明の一実施の形態において、全YS線ストライプテストモードを説明するための回路図(YDECN)である。

【図10】(a), (b), (c) は本発明の一実施の形態において、カラムスタティックテストモードを説明するための回路図(YDECN, DELAY)である。

【図11】(a), (b) は本発明の一実施の形態において、カラムスタティックテストモードを説明するための波形図である。

【図12】本発明の一実施の形態において、全マットアクティベーション(ビット線ストライプ)テストモードを説明するための回路図(ACDCONT2)である。

【図13】本発明の一実施の形態において、ワードデコードマルチセレクションテストモードを説明するための回路図(AXDM00, AXDM06, AXDM0R)である。

【図14】本発明の一実施の形態において、ワードデコードマルチセレクションテストモードを説明するための回路図(ACDCONT1)である。

【図15】本発明の一実施の形態において、ワードデコードマルチセレクションテストモードを説明するための回路図(RADX0)である。

【図16】本発明の一実施の形態において、ワードデコードマルチセレクションテストモードを説明するための

回路図(RADX3)である。

【図17】本発明の一実施の形態において、ワードデコードマルチセレクションテストモードを説明するための回路図(RADX6)である。

【図18】(a), (b) は本発明の一実施の形態において、全ワード線アクティベーションテストモードを説明するための回路図(RDX0)である。

【図19】(a), (b) は本発明の一実施の形態において、メインワード線ストライプテストモードを説明するための回路図(XADX3)である。

【図20】本発明の一実施の形態において、各テストモードにおけるアクセスデューティを説明するための説明図である。

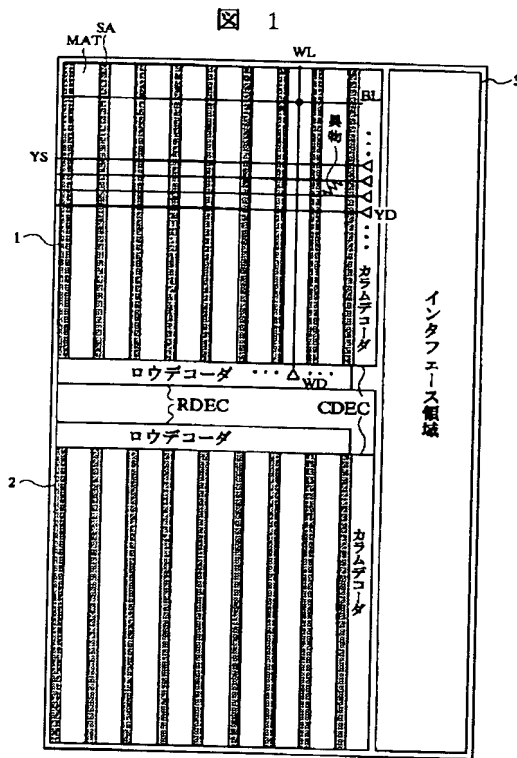
【図21】本発明の一実施の形態において、ビット線ストライプと全ワード線アクティベーションの併用時における、メモリセルのストレージノードへのストレス加速を示す説明図である。

【図22】本発明の一実施の形態において、ビット線ストライプと全ワード線アクティベーションの併用時における、他のメモリセルのストレージノードへのストレス加速を示す説明図である。

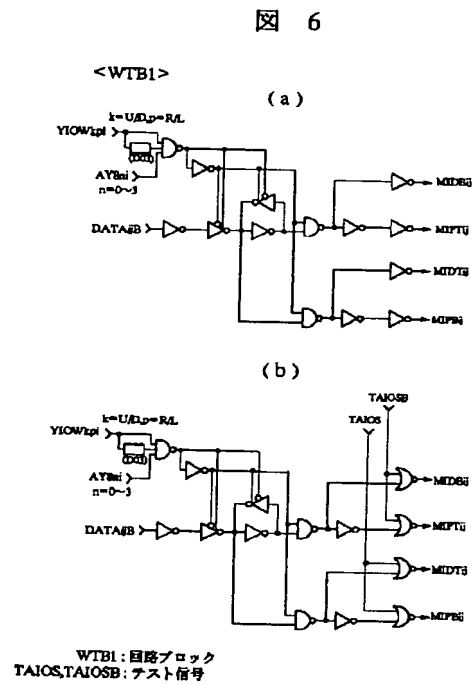
【符号の説明】

1, 2 メモリアレイ領域
3 インタフェース領域
MAT メモリマット
SA センスアンプ
SWD サブワードドライバ
CA クロスエリア
WD ワードデコーダ
RDEC ロウデコーダ
YD YSデコーダ
CDEC カラムデコーダ
WL ワード線
BL ビット線
YS YS線
LIO ローカルIO線
MIO メインIO線
SWL サブワード線
MWL メインワード線
FX FX線
MWD メインワードドライバ
FXD FXドライバ
RWL 冗長ワード線
RBL 冗長ビット線
DMIP, DMAB, WTB1, BLEQ, YDECN, DELAY, ACDCONT2, AXDM00, AXDM06, AXDM0R, ACDCONT1, RADX0, RADX3, RADX6, RDX0, XADX3
回路ブロック

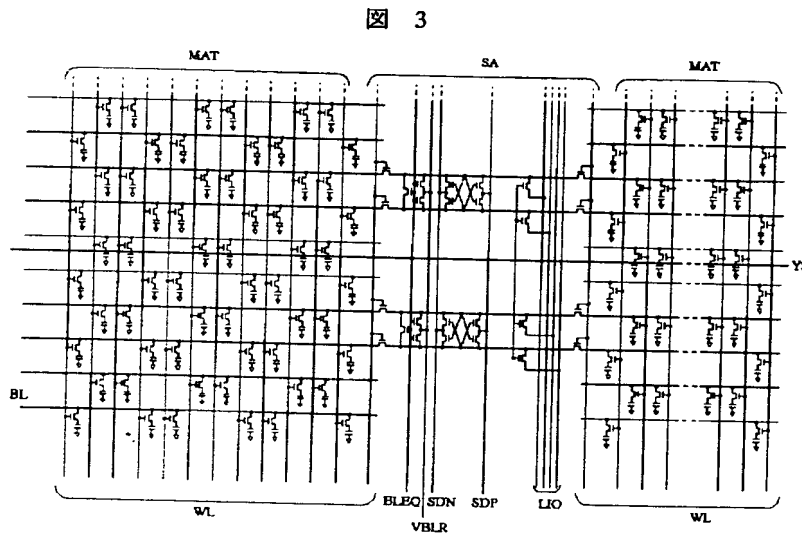
【図1】



【図6】

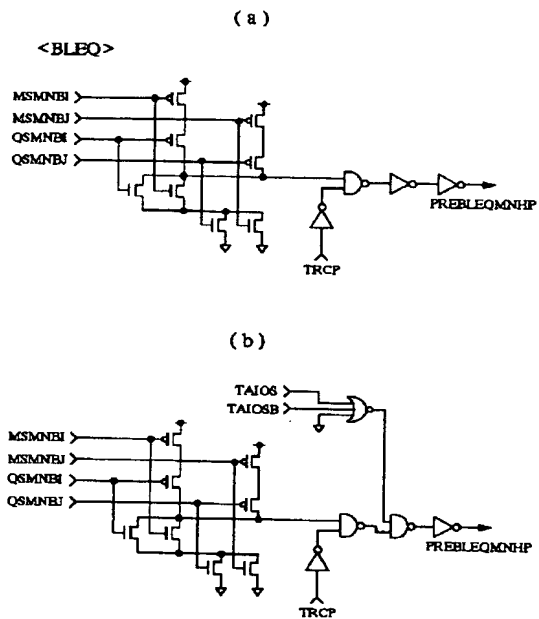


【図3】



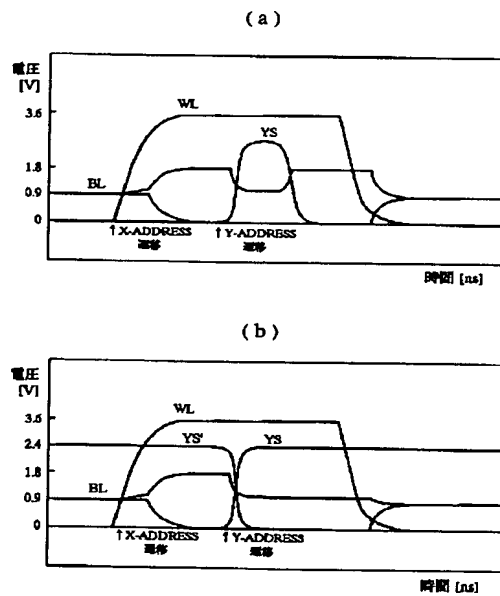
【図7】

図 7



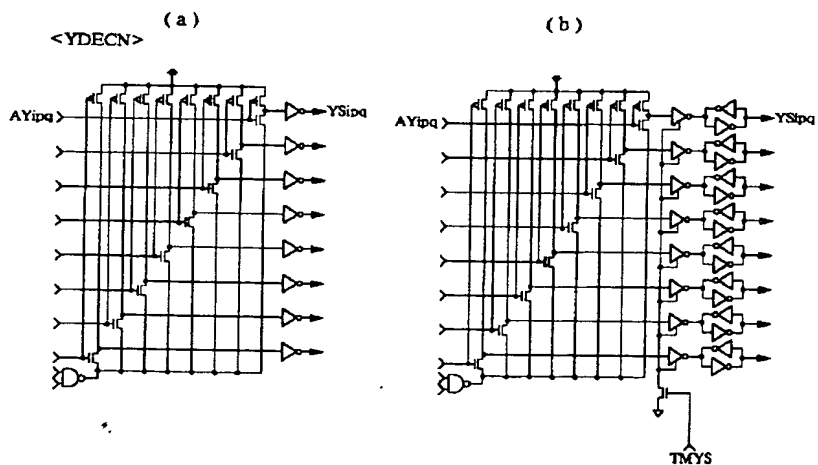
【図11】

図 11



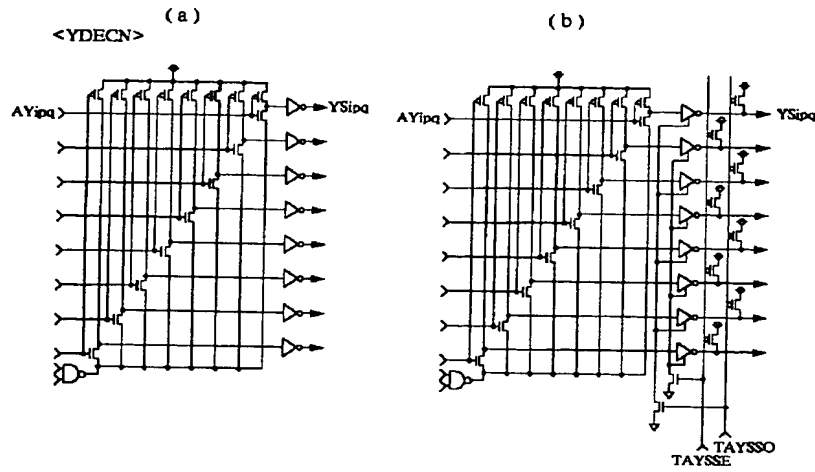
【図8】

図 8



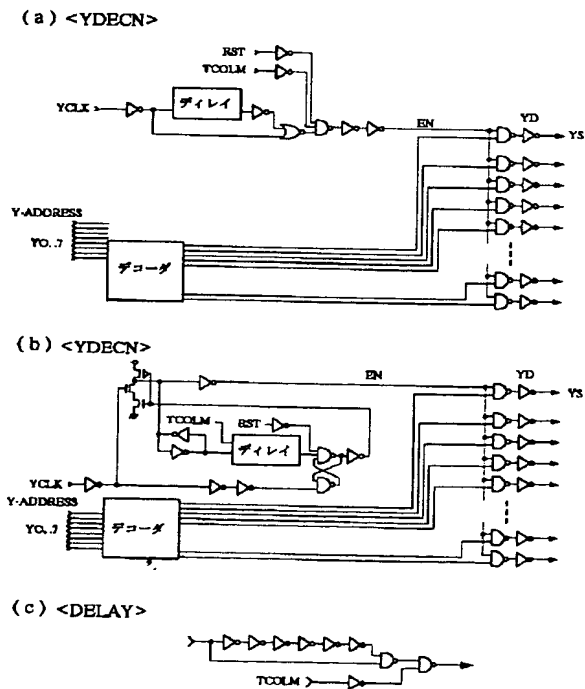
【図9】

図 9



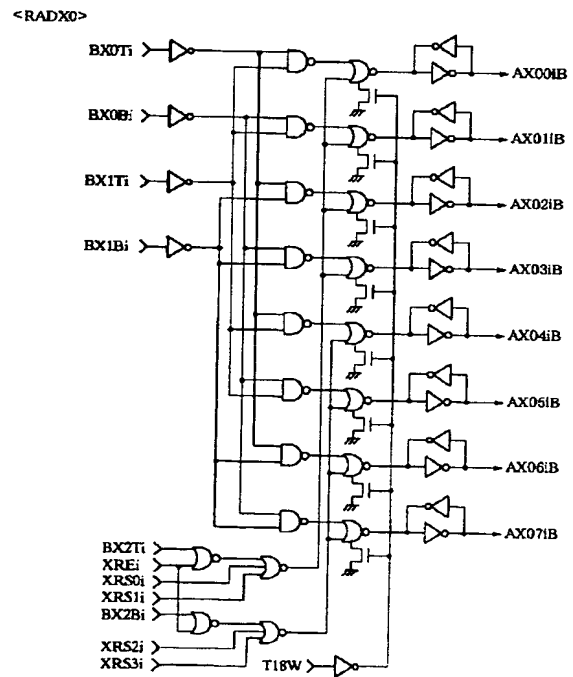
【図10】

図 10



【図15】

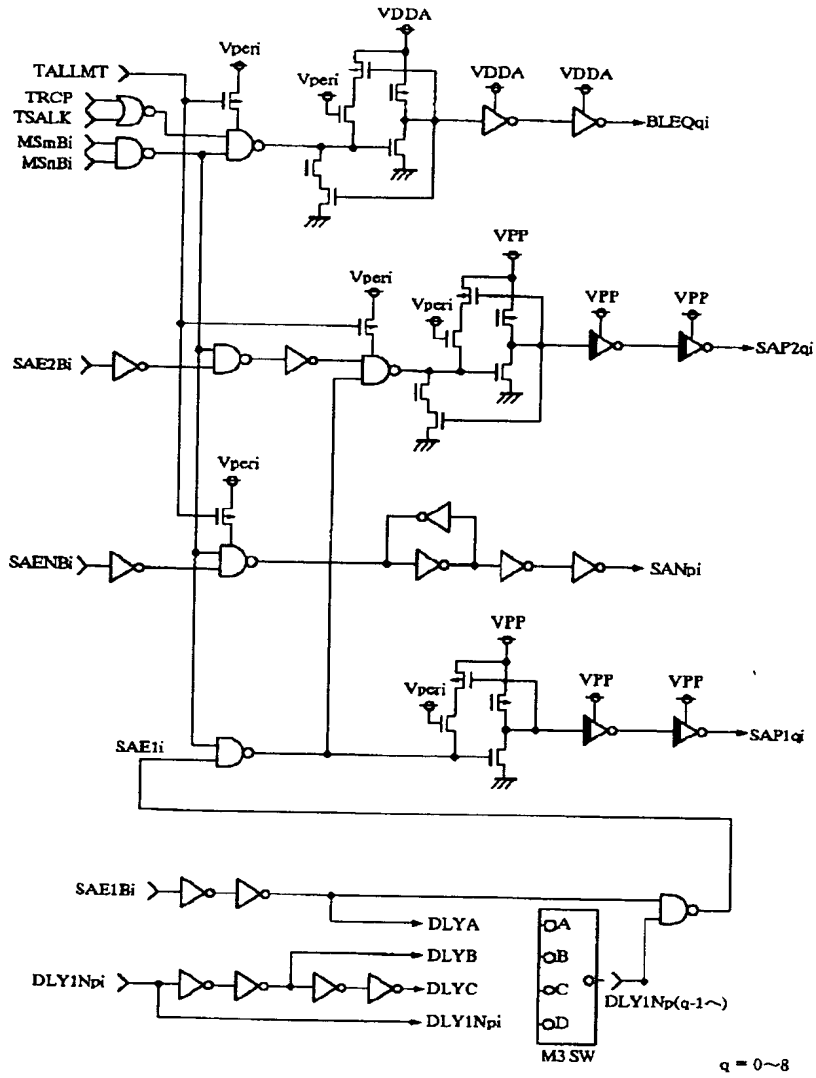
図 15



【図12】

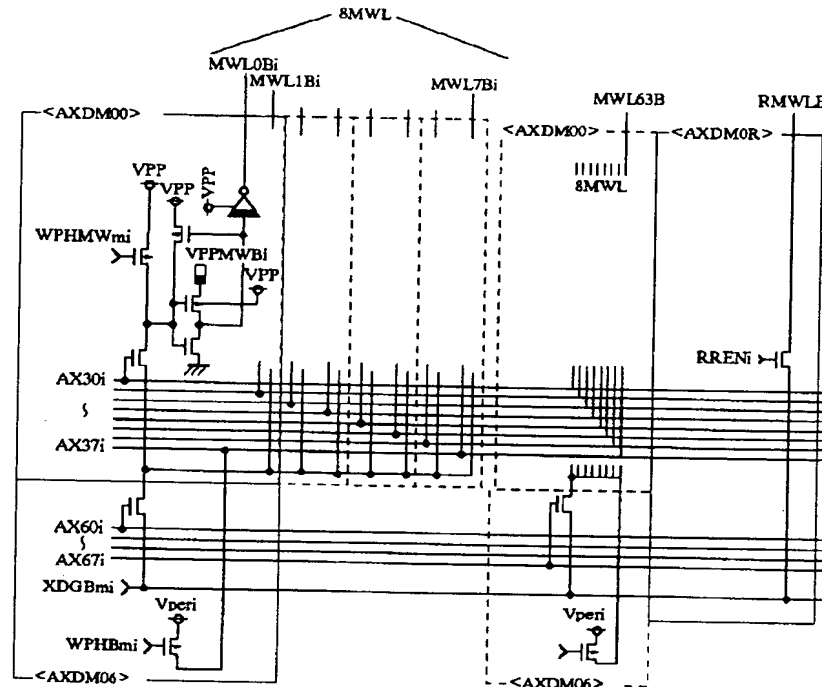
図 12

<ACDCONT2>



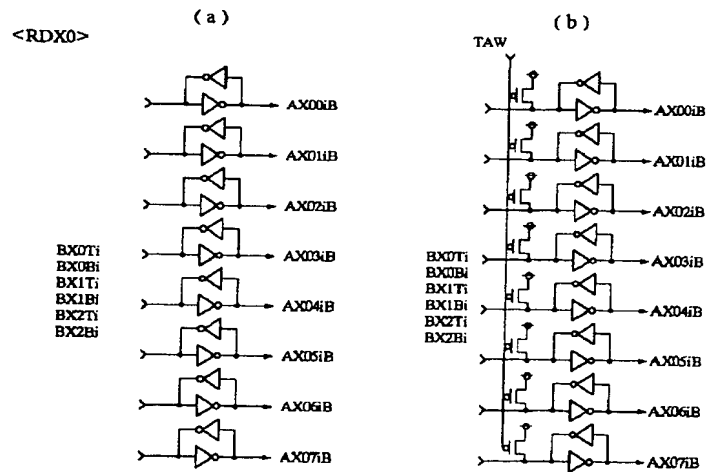
【圖 13】

圖 13



【圖 18】

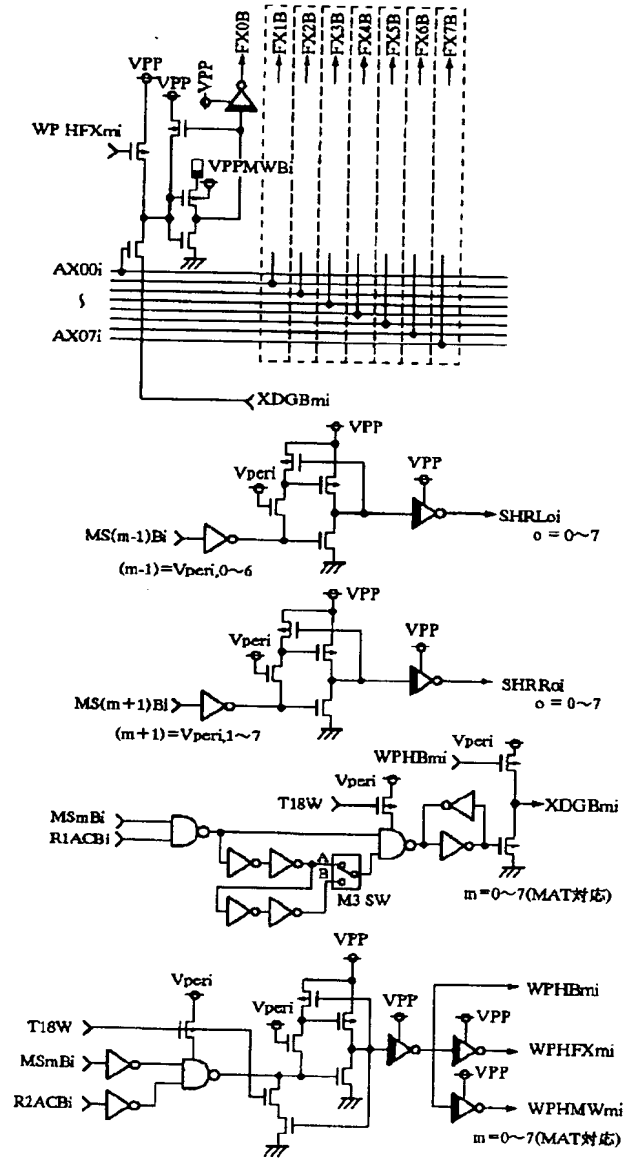
圖 18



【图14】

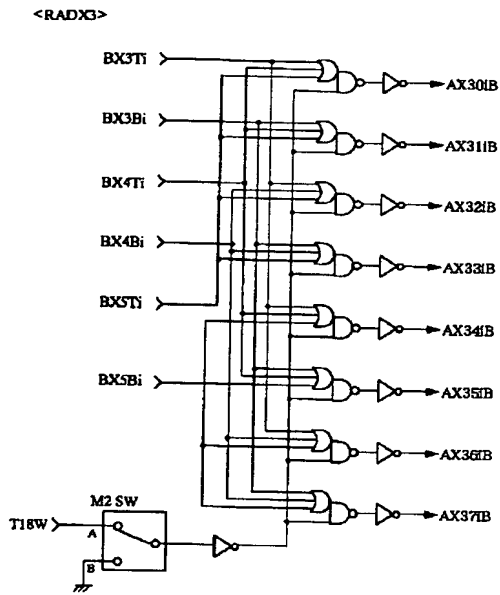
图 14

<ACDCONT1>



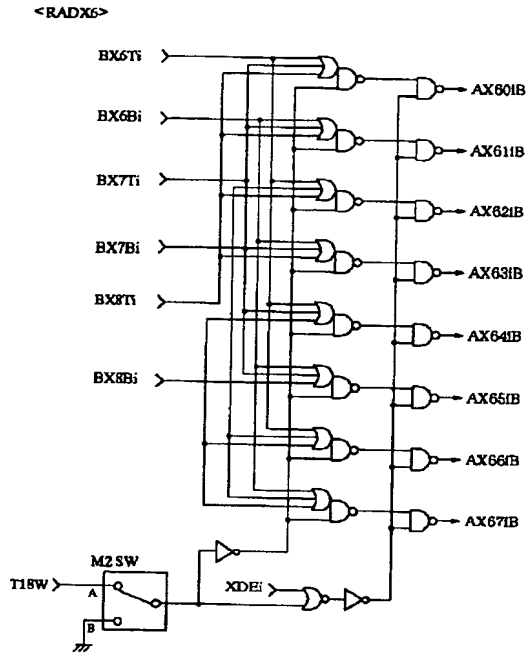
【図16】

図 16



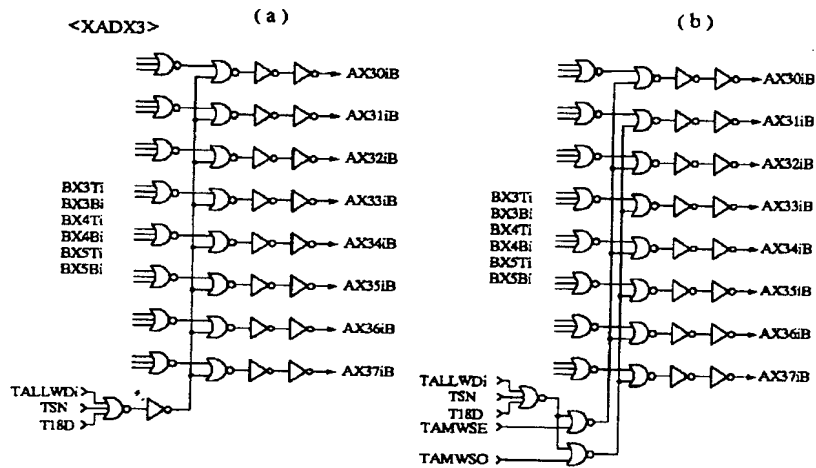
【図17】

図 17



【図19】

図 19



【図20】

図 20

○: 効率よい
△: やや効率よい

テストモード	IO	YS	BL	MWL	SWL	toX
全IO線アクティベーション	○	-	-	-	-	-
YSデコードマルチセレクション	△	○	-	-	-	-
(全YS線ストライプ)						
(カラムスタティック)						
全マットアクティベーション	-	-	○	-	-	-
(ビット線ストライプ)						
ワードデコードマルチ セレクション	-	-	-	○	○	○
全ワード線アクティベーション	-	-	-	-	-	○
メインワード線ストライプ	-	-	-	○	-	△
ワード線ストライプ	-	-	-	-	○	△
1/8ワードアクティベーション	-	-	-	△	△	△

【図21】

図 21

	●	●			●	●			●	●			●	●			Y+3
Y+2	●	●		○	○		○	○		○	○		○	○		○	Y+3
Y+2			○	○			○	○		○	○		○	○		○	
	●	●			●	●			●	●			●	●			Y+1
Y	●	●		○	○		○	○		○	○		○	○		○	Y+1
Y			○	○			○	○		○	○		○	○		○	
	X-7	X-6	X-5	X-4	X-3	X-2	X-1	X	X+1	X+2	X+3	X+4	X+5	X+6	X+7	X+8	

●: 1データ
○: 0データ

【図22】

図 22

	○	○			○	○			○	○			○	○			Y+3
	●	●		●	●			●	●			●	●		●	●	Y+3
Y+2	●	●			●	●			●	●			●	●			
Y+2			○	○				○	○			○	○				
	○	○			○	○			○	○			○	○			Y+1
			●	●			●	●			●	●			●	●	Y+1
Y	●	●			●	●			●	●			●	●			
Y			○	○			○	○			○	○			○	○	
	X-7	X-6	X-5	X-4	X-3	X-2	X-1	X	X+1	X+2	X+3	X+4	X+5	X+6	X+7	X+8	

●:1データ
○:0データ

フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テーム(参考)

H O 1 L 21/8242

Fターム(参考) 2G032 AA07 AB02 AE11 AK14
 5B024 AA15 BA05 BA09 BA13 BA18
 BA23 BA29 CA07 CA16 EA02
 5F083 AD11 LA07 ZA20
 5L106 AA01 AA05 DD01 DD12 DD36
 GG05
 9A001 BB03 JJ49 KK54 LL05